

### 3. Übungsblatt

Lösen Sie die folgenden Aufgaben:

- i) Führen Sie evtl. besprochene Änderungen an Ihrem RAM aus. Verbessern Sie unbedingt die Testbench, um *alle* Speicherzellen zu testen. Bauen Sie (optional) die Änderungen für einen Speicherzugriff außerhalb von Wordgrenzen (unaligned) ein.
- ii) Installieren Sie Ripes (<https://github.com/mortbopet/Ripes>)
- iii) Implementieren Sie die Registerbank. Unsere CPU wird 32 Register bei einer Breite von 32 Bit haben. Beachten Sie, dass wir gleichzeitig aus zwei Registern lesen und in ein Register schreiben können müssen (siehe dem Architekturbild von Ripes für die Single Cycle Version eines RISC-V Prozessors). Achtung: Register 0 liefert beim Lesen *immer* den Wert 0 und geschriebene Daten werden verworfen.
- iv) Entwerfen Sie eine Testbench für die Registerbank und automatisieren Sie den Buildprozess mit `make` oder einem geeigneten Skript. Ihre Testbench muss insbesondere die Funktion von Register 0 testen. Stellen Sie sicher, dass Ihre Testbench automatisiert laufen kann, d.h. die Korrektheit wird in der Simulation ermittelt und eine manuelle Überprüfung der Waveform ist nicht notwendig!

Besprechung und Abnahme am 26. November 2021