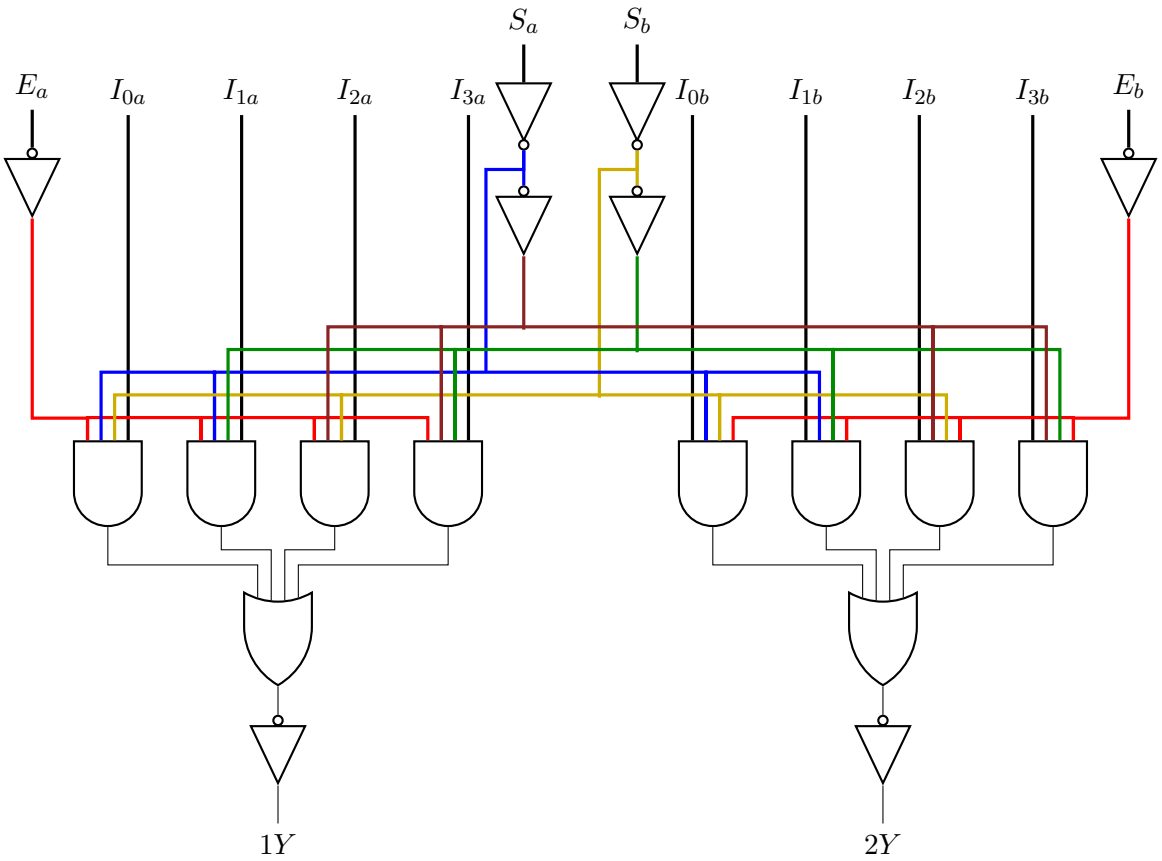


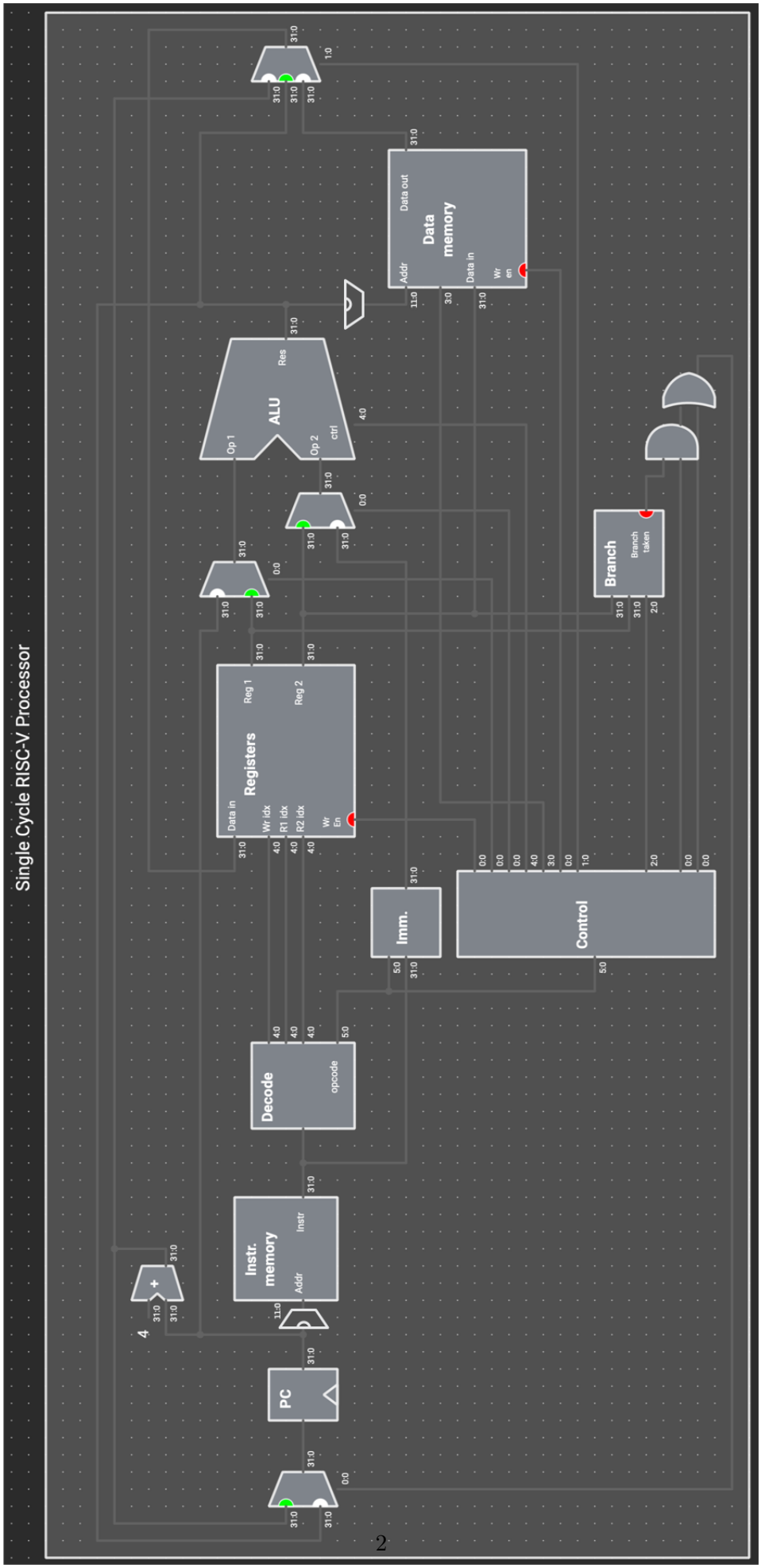
8. Übungsblatt

Lösen Sie die folgenden Aufgaben:

i) Implementieren Sie bedingte (`blt, bge, bltu, bgeu`) und unbedingte (`jal, jalr`) Sprünge[1] und testen Sie Ihre Implementierung mit einer kleinen Testbench.

Besprechnung und Abnahme am 19. Januar 2023

[1] Sehr hilfreiche Erklärungen finden Sie in Patterson, Waterman, The RISC-V Reader, Strawberry Canyon


Single Cycle RISC-V Processor
PC
Instr. memory
Instr
Addr
Decode
opcode
Registers
Data in
Wr idx
R1 idx
R2 idx
Wr En
Reg 1
Reg 2
ALU
Op 1
Op 2
ctrl
Res
Data memory
Addr
Data in
Data out
Wr en
Branch
Branch taken
Imm.
Control
4
+