



## 8. Übungsblatt

Lösen Sie die folgenden Aufgaben:

- i) Führen Sie *alle* besprochene Änderungen an Ihrer CPU aus. Verbessern Sie dazu den Datenpfad und bringen sie R-Type und I-Type Instruktionen zum Laufen.
- ii) Synthetisieren Sie Ihr Design mit Vivado und implementieren Sie es auf Ihrem FPGA-Board. Schreiben Sie dazu die notwendigen Constraints. Informationen finden Sie unter <https://digilent.com/reference/programmable-logic/nexys-4-ddr/start> oder <https://digilent.com/reference/programmable-logic/nexys-4/start>.

Besprechung und Abnahme am 21. Dezember 2023