

## 10. Übungsblatt

Lösen Sie die folgenden Aufgaben:

- i) Synthetisieren Sie Ihre CPU mit Vivado und bringen Sie diese auf dem FPGA-Bord zum Laufen. Mit hoher Wahrscheinlichkeit schafft Ihr Design keine 100Mhz, d.h. Sie müssen den 100Mhz-Takt des FPGA Boards mit einer PLL/MMCM verringern. Dazu gibt es im Wesentlichen zwei Möglichkeiten: Sie passen den Sourcecode auf der Webseite (geschützter Bereich) entsprechend an und binden das in Ihr Projekt an oder Sie verwenden den Clock-Wizard von Vivado.

Besprechung und Abnahme am 18. Januar 2024.