

## 2. Übungsblatt

Lösen Sie die folgenden Aufgaben:

- i) Führen Sie evtl. besprochene Änderungen an Ihrem Addierer aus und verbessern Sie Ihre Testbench für RCAdder.
- ii) Implementieren Sie den Speicher unserer CPU, d.h. entwickeln Sie eine `architecture` für die `entity ram` (siehe `ram_entity_only.vhd`). Sie können das beiliegende Block-RAM verwenden (als Komponente oder den Code), evtl. ist auch `riscv_types.vhd` als Inspiration für Datentypen nützlich. Untersuchen Sie den Library-Guide<sup>1</sup>, die Komponente `BRAM_TDP_MACRO` und vergleichen Sie das Block-RAM mit `BRAM_TDP_MACRO`. Synthetisieren Sie Ihr RAM und überprüfen Sie, ob wirklich ein Block-RAM entsteht.
- iii) Entwerfen Sie eine Testbench für den Hauptspeicher. Lesen und schreiben Sie Daten in den Speicher und lesen Sie Instruktionen (im Moment sind das einfach nur Datenwörter) aus dem Hauptspeicher. Ihre Testbench muss mehrere 1000 zufällige Speicherzugriffe simulieren.

Besprechung und Abnahme am 12. November 2025

---

<sup>1</sup>[https://www.amd.com/content/dam/xilinx/support/documents/sw\\_manuals/xilinx2019\\_1/ug953-vivado-7series-libraries.pdf](https://www.amd.com/content/dam/xilinx/support/documents/sw_manuals/xilinx2019_1/ug953-vivado-7series-libraries.pdf)