Hardwarebeschreibungssprachen
Wintersemester 2026/2027

Hochschule RheinMain
Prof. Dr. Steffen Reith
Timo Christeleit

1. Übungsblatt

Lösen Sie die folgenden Aufgaben:

i) Installieren Sie auf Ihrem System `ghdl` (https://ghdl.github.io/ghdl/getting.html) und `gtkwave` (https://gtkwave.sourceforge.net/). Wenn Sie Linux verwenden, dann sollten beide Pakete direkt mit dem jeweiligen Paketmanager (z.B. `apt`) installierbar sein.

ii) Installieren Sie den RISC-V Simulator *Ripes* (https://github.com/mortbopet/Ripes) auf Ihrer Arbeitsmaschine. Wählen Sie den „Single Cycle Processor“ (Icon links oben in der GUI). Diesen werden wir im Laufe des Semesters implementieren.

iii) Packen Sie das mitgelieferte zip-Archiv aus. Ergänzen Sie die fehlenden Teile in der Datei `FullAdder.vhd` und `FullAdder_TB.vhd`. Simulieren (Dokumentation lesen!) Sie den FullAdder mit ghdl (Kommandos: analyze, elaborate, run) und erzeugen Sie ein `.vcd`-File. Zeigen Sie die Simulationsergebnisse im `.vcd`-File mit `gtkwave` (Achtung: Wählen Sie den richtigen Zeitmaßstab, um Ergebnisse zu sehen!) an.

iv) In Abbildung 1 sehen Sie 7 Volladdierer zu einem Ripple-Carry Addierer verdrahtet. Dort können Sie auch die einzelnen Ein- und Ausgabesignale eines Volladdierers sehen. Ergänzen Sie `RCAdder_TB.vhd` und `RCAdder.vhd` und führen Sie eine Simulation durch. Können Sie den Addierer mit allen möglichen Eingaben testen? Angenommen Sie sollen nun einen 64-Bit Addierer (statt des im Paket enthaltenen 8-Bit Addierers) implementieren. Welche Probleme tauchen dann auf?

Besprechung und Abnahme in der Übungen der KW44

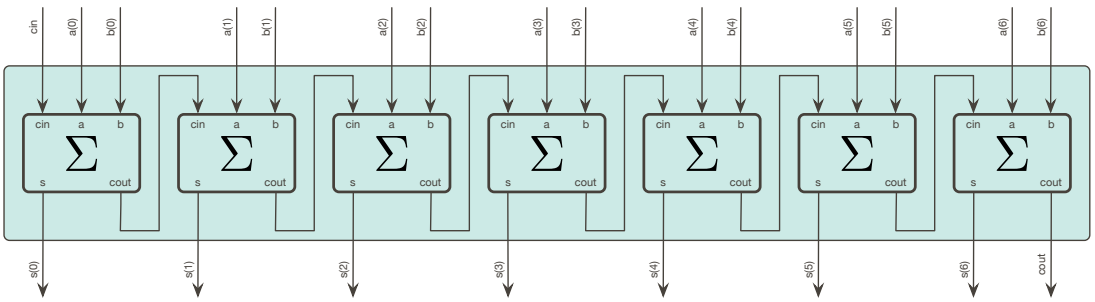


Abbildung 1: Ein Ripple-Carry Adder